



DOI:10.12404/j.issn.1671-1815.2403642

引用格式:于泽琦,许增辉,钱波.数字D类功放的Sigma-Delta调制器研究综述[J].科学技术与工程,2025,25(1):17-29.

Yu Zeqi, Xu Zenghui, Qian Bo. Review of Sigma-Delta modulators for digital class D power amplifiers[J]. Science Technology and Engineering, 2025, 25(1): 17-29.

自动化技术、计算机技术

数字D类功放的Sigma-Delta调制器研究综述

于泽琦¹, 许增辉², 钱波²

(1. 郑州轻工业大学电子信息学院, 郑州 450001; 2. 郑州轻工业大学计算机科学与技术学院, 郑州 450001)

摘要 数字D类功放因其高效率 and 便于与数字音源接口的特点,近年来在音频电子领域引起了广泛关注。Sigma-Delta调制器作为数字D类功放中关键的数字信号处理模块之一,其噪声整形特性能够在降低功放系统实现代价的同时,保持甚至提高系统的输出信噪比,并可抑制部分信号传输路径引入的噪声,在数字音频信号处理过程中具有重要作用。首先总结了数字D类功放的工作原理和主流架构,然后结合Sigma-Delta调制器的基本原理,探讨了近年来用于数字D类功放的Sigma-Delta调制器的设计方案,其中着重对Sigma-Delta调制器的架构设计与噪声传递函数的设计进行综述,最后对数字D类功放的Sigma-Delta调制器研究发展进行总结。

关键词 数字D类功放; Sigma-Delta调制器; 噪声传递函数; 噪声整形

中图分类号 TP391.9; **文献标志码** A

Review of Sigma-Delta Modulators for Digital Class D Power Amplifiers

YU Ze-qi¹, XU Zeng-hui², QIAN Bo²

(1. School of Electronics and Information, Zhengzhou University of Light Industry, Zhengzhou 450001, China;

2. School of Computer Science and Technology, Zhengzhou University of Light Industry, Zhengzhou 450001, China)

[Abstract] In recent years, digital class D power amplifiers have attracted widespread attention in the audio electronics field due to their high efficiency and seamless integration with digital audio sources. As one of the crucial digital signal processing modules in digital class D amplifiers, the Sigma-Delta modulator plays a pivotal role for digital audio signal processing. The noise-shaping characteristic of the Sigma-Delta modulator can reduce the implementation cost of the power amplifier system while maintaining or even improving the output signal-to-noise ratio of the system, and can suppress the noise introduced by some signal transmission paths. Firstly, the working principle and mainstream architecture of digital D-class power amplifiers were summarized. Then, based on the basic principle of Sigma-Delta modulators, the design schemes of Sigma-Delta modulators used in digital D-class power amplifiers in recent years were discussed, with a focus on the architecture design and noise transfer function design of Sigma-Delta modulators. Finally, the research and development of Sigma-Delta modulators for digital D-class power amplifiers were summarized.

[Keywords] digital class D amplifier; Sigma-Delta modulator; noise transfer function; noise shaping

D类功放凭借其独特的开关模式,与传统线性功放相比具有更高的效率和更低的能耗^[1-3]。由于功耗低的系统对散热要求较松,因此D类功放适合紧凑设计以减小系统体积^[4-5]。随着数字集成电路和数字存储技术的发展,便于与数字音源接口的数字D类功放被广泛应用于各种便携式音频设备中,数字D类功放也逐渐成为音频电子领域的研究热点。

数字D类功放通常由数字信号调制模块、功率级和低通滤波器组成,其中数字信号调制模块主要

是将数字音频信号调制为连续的脉冲信号以驱动功率级来实现高效率的信号放大^[6-8]。如果数字信号调制模块为了保证输出信号的保真度,直接以高脉冲分辨率进行输出,往往需要系统的主时钟频率很高,从而难以硬件实现^[9-10]。因此,数字D类功放一般采用插值滤波器^[11]和Sigma-Delta调制器来将输入信号的位数降低,进而降低系统的主时钟频率。同时Sigma-Delta调制器具有噪声整形特性,能够对信号频带内的噪声进行整形抑制,进而有效提

收稿日期:2024-05-16 修订日期:2024-12-23

基金项目:国家自然科学基金(61601411);河南省科技攻关项目(222102210039,222102210103)

第一作者:于泽琦(1984—),男,回族,河南郑州人,博士,副教授。研究方向:数字D类音频功放的建模、信号调制、误差校正与优化设计。

E-mail:yyuzeqi@163.com。

高系统的输出信噪比 (signal-to-noise ratio, SNR)^[12-14]。虽然 Sigma-Delta 调制器能使数字 D 类功放保持高效率、低成本、高信号保真度的工作,但由于 Sigma-Delta 调制器是一个非线性的模块,因此要求数字 D 类功放中 Sigma-Delta 调制器的设计需要进行多变量优化以保证系统的稳定性^[15-16],这也使得其吸引了越来越多的学者进行研究。

现首先介绍数字 D 类功放的工作原理和主流架构,阐述 Sigma-Delta 调制器在数字 D 类功放中的应用;然后,对 Sigma-Delta 调制器的基本原理和结构进行简要描述;接着,详细综述近年来用于数字 D 类功放的 Sigma-Delta 调制器设计方案,其中,着重讨论 Sigma-Delta 调制器的架构拓扑和噪声传递函数的优化设计方法;最后对数字 D 类功放中 Sigma-Delta 调制器研究的发展进行总结与展望。

1 数字 D 类功放的工作原理和架构

数字 D 类功放首先基于数字信号调制技术将输入的数字音频信号转换为连续的脉冲信号,该脉冲信号控制功率级工作在开关状态以实现信号功率放大,然后放大后的脉冲信号通过模拟低通滤波器滤除高频分量,还原成放大后的音频信号以驱动扬声器进行发声^[17]。由于开关状态下功放的功率级损耗很少,因此,功放具有很高的电源效率^[18-19]。常见的数字 D 类功放有脉冲密度调制 (pulse density modulation, PDM) 型^[20-21]和均匀采样脉冲宽度调制 (uniform-sampling pulse width modulation, UPWM) 型^[22-23],两种数字 D 类功放的结构简图如图 1 所示,它们都需要采用插值滤波器和 Sigma-Delta 调制器来优化输出性能。

PDM 型数字 D 类功放主要利用 1 位 Sigma-Delta 调制器将输入的数字音频信号转化为连续的脉冲信号。由于采用 1 位 Sigma-Delta 调制器直接输出脉冲信号,功放输出脉冲信号的脉冲重复频率会随着输入信号幅值变化而变化。为了让系统得到较高的信号保真度和稳定性,需要让信号在输入到 1

位 Sigma-Delta 调制器前经过高倍过采样处理。而 UPWM 型数字 D 类功放主要利用 UPWM 技术将输入的数字音频信号转化为连续的脉冲信号,其输出脉冲信号的脉冲重复频率不变。为了降低功放系统的主时钟频率以便于硬件实现,UPWM 型数字 D 类功放通常需要多倍插值滤波器和多位 Sigma-Delta 调制器在基本保持信号基带信息不变的情况下,大幅降低输入信号的位数,从而使 UPWM 发生器在进行脉冲信号生成时降低对脉冲分辨率的要求。

UPWM 型数字 D 类功放由于输出脉冲信号的脉冲重复频率固定,可使功率级的大功率晶体管的开关频率固定从而工作在较佳的状态,其相比 PDM 型数字 D 类功放,通常拥有更高的电源效率。然而 PDM 型数字 D 类功放由于输出脉冲信号的脉冲重复频率可变,从而带有一定的扩频特性,在电磁兼容方面通常优于 UPWM 型数字 D 类功放。

2 Sigma-Delta 调制器的基本原理和结构

在数字 D 类功放中使用 Sigma-Delta 调制器,可以实现低复杂度来实现功放的高信号保真度。在高保真 UPWM 型数字 D 类功放中,功放输入信号的位数往往需要达到 20 位以上。假设功放输入音频信号的位数为 24 位,根据人耳可听取频率范围为 20 ~ 20 000 Hz,取输入信号的采样频率为 $f_s = 48\ 000\ \text{Hz}$,则当该输入信号直接输入 UPWM 发生器时,其主时钟频率可达到 $f_s \times 2^{24} = 805\ \text{GHz}$,硬件难以实现。Sigma-Delta 调制器在 UPWM 型数字 D 类功放内可用于降低输入信号的位数,设插值滤波器所实现的过采样率 $M = 8$,Sigma-Delta 调制器的输出信号为 6 位,则此时 UPWM 发生器的主时钟频率为 $Mf_s \times 2^6 = 24.576\ \text{MHz}$,使数字 D 类功放更易于硬件实现。由于 Sigma-Delta 调制器对输入信号的位数降低,本质上是一种信号再量化过程,量化噪声可近似为白噪声,在量化噪声功率一定的情况下,输入信号的采样频率越高,量化噪声功率就会

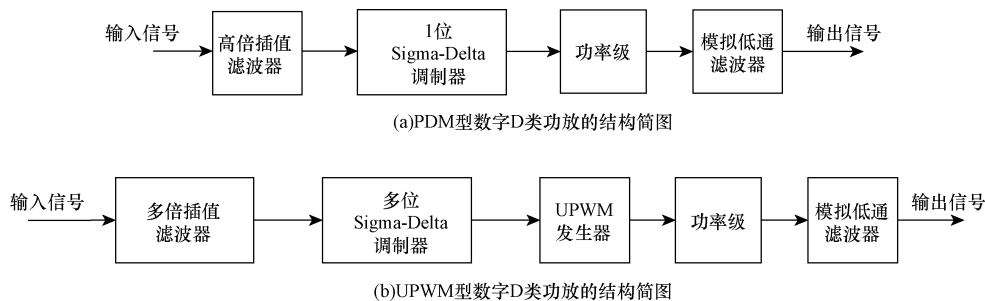


图 1 数字 D 类功放的结构简图

Fig. 1 Structure diagrams of digital class D power amplifiers

被分布在更宽的频带范围内,从而使信号基带内的噪声能量得到降低。此外, Sigma-Delta 调制器的噪声整形特性会利用反馈使噪声功率不再平坦分布于整个过采样频带范围内,基带内的量化噪声被尽可能地推到了信号频带以外,进一步使信号频带内的噪声得到压缩。设输入基带信号的最大频率为 f_0 , 通过利用过采样技术将输入信号的采样频率提高到 Mf_s , Sigma-Delta 调制器的工作原理示意图如图 2 所示。同时, Sigma-Delta 调制器具有噪声整形特性,在数字 D 类功放中通过构建数字 Sigma-Delta 调制器及其后级的数字闭环模块,能够保持甚至提高系统的输出 SNR。

Sigma-Delta 调制器一般分为连续时间型 Sigma-Delta 调制器^[24-25]和离散时间型 Sigma-Delta 调制器^[26-27]两种。在文献[25]中,采用 UMC 55 nm CMOS 工艺设计了一个 3 阶 1 位量化的连续时间型 Sigma-Delta 调制器,该调制器在信号带宽为 24 kHz、采样频率为 8 MHz、电源电压为 1.2 V 的情况下,其信噪失真比达到了 98.2 dB,功耗仅为 140.2 μ W。在文献[27]中,在 SMIC 130 nm 工艺下设计了

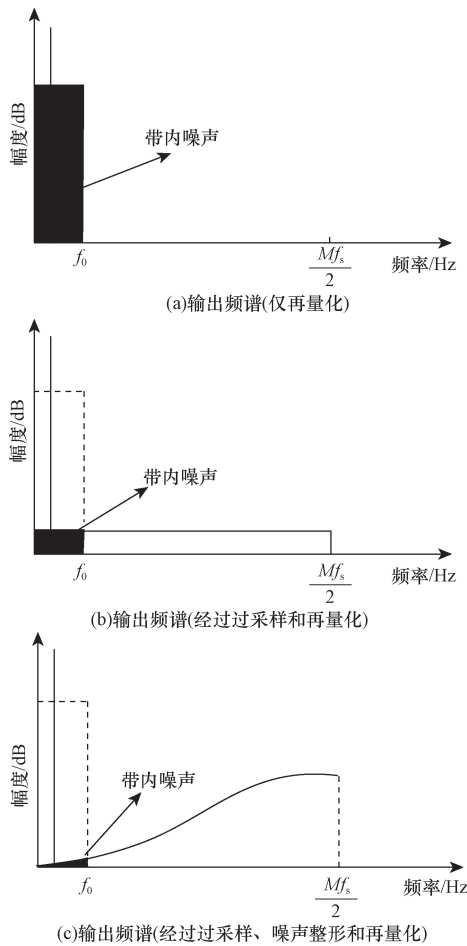


图 2 Sigma-Delta 调制器的基本原理示意图

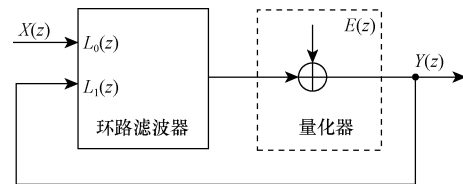
Fig. 2 Basic principle diagram of the Sigma-Delta modulator

一个 4 阶 1 位离散时间型 Sigma-Delta 调制器,该调制器在输入幅值为 1.5 V、1 kHz 带宽下,其信噪失真比可达到 119.4 dB,整体功耗为 1.68 mW。相较于离散时间型 Sigma-Delta 调制器,连续时间型 Sigma-Delta 调制器通常拥有更低的功耗。然而,伴随着超大规模集成电路 (very large-scale integration, VLSI) 技术的发展,高能效高精度的离散时间型 Sigma-Delta 调制器变得切实可行^[28]。由于在同等设计参数下,离散时间型 Sigma-Delta 调制器的精度通常高于连续时间型 Sigma-Delta 调制器,因此, D 类功放通常使用离散时间型 Sigma-Delta 调制器对输入的音频信号进行处理。离散时间型 Sigma-Delta 调制器一般主要由环路滤波器、量化器以及反馈数模转换器 (digital-to-analog converter, DAC)^[29]组成。环路滤波器是 Sigma-Delta 调制器的重要组成部分,是保证调制器充分发挥噪声整形效果的关键。环路滤波器^[30]主要由一个或多个积分器组成,积分器的个数也代表调制器的阶数。量化器的主要作用是生成相应位数的数字码流^[31],其决定了 Sigma-Delta 调制器输出信号的位数。在采用全数字系统对离散时间型 Sigma-Delta 调制器实现时,输入信号通常为数字信号,因此,此时不再需要反馈 DAC。全数字电路实现的离散时间型 Sigma-Delta 调制器称为数字 Sigma-Delta 调制器。数字 Sigma-Delta 调制器在 Z 变换域下的基本结构示意图如图 3 所示。

根据图 3 可得

$$Y(z) = \frac{L_0(z)}{1 - L_1(z)}X(z) + \frac{1}{1 - L_1(z)}E(z) \\ = H_{STF}(z)X(z) + H_{NTF}(z)E(z) \quad (1)$$

式(1)中: $H_{STF}(z)$ 和 $H_{NTF}(z)$ 分别为信号传递函数 (signal transfer function, STF) 和噪声传递函数 (noise transfer function, NTF)。为了尽可能地确保输出信号保真度和减少基带内噪声能量,故在基带内 $H_{STF}(z)$ 应趋于 1, $H_{NTF}(z)$ 应趋于 0,其 $H_{NTF}(z)$ 应具有类似高通滤波器传递函数的特征。



$X(z)$ 、 $Y(z)$ 分别为输入信号和输出信号的 Z 变换函数; $E(z)$ 为量化噪声函数; $L_0(z)$ 和 $L_1(z)$ 分别为环路滤波器输出信号对 $X(z)$ 和 $Y(z)$ 的传递函数

图 3 数字 Sigma-Delta 调制器在 Z 域下的基本结构示意图
Fig. 3 Basic structural diagram of a digital Sigma-Delta modulator in the Z-transform domain

3 数字 D 类功放中 Sigma-Delta 调制器的设计

有关数字 D 类功放中 Sigma-Delta 调制器的设计大多数仍是利用 Richard Schreier 开发的 Sigma-Delta Toolbox^[32] 进行设计,然而采用 Sigma-Delta Toolbox 所设计出的 Sigma-Delta 调制器往往并不是最优的。对于在具体的数字 D 类功放中, Sigma-Delta 调制器其架构通常存在各种级间参数,不同的参数和架构所构成的 Sigma-Delta 调制器的性能也各不相同。例如,在文献[33]所述的一种数字与模拟相结合的 PWM 型 D 类功放中,该 D 类功放在主环路上采用了一个数字 Sigma-Delta 调制器将输入信号的位数由 24 位降低为 7 位,在其反馈回路上还采用了一个连续时间型 Sigma-Delta 调制器用于将功率级的模拟输出转换为数字信号以进行数据匹配。该设计通过采用混合信号反馈回路不仅提升了 D 类功放的性能,同时降低了对模数转换器(analog-to-digital converter, ADC)^[34] 的要求,从而适于低功耗应用。

在数字 Sigma-Delta 调制器的设计中,积分器所构成的环路滤波器拓扑架构往往对 Sigma-Delta 调制器的设计起着至关重要的作用,同时,环路滤波器的拓扑架构也反映了 Sigma-Delta 调制器的 NTF。通常,当 Sigma-Delta 调制器采用单比特量化(1 位量化器)时,为提高输出信号的 SNR 和动态范围(dynamic range, DR)^[35],需要采用高阶的 Sigma-Delta 调制器。由于高阶 Sigma-Delta 调制器的输出 SNR 在随着输入信号幅度的增加而近似线性增长到一定值后, Sigma-Delta 调制器的输出 SNR 会陡然下降,此时调制器出现不稳定状态^[36]。即当调制器的过采样率(over-sampling ratio, OSR)、量化器位数一定时,增加 Sigma-Delta 调制器的阶数通常是通过牺牲其稳定性为代价的。因此, Sigma-Delta 调制器的设计主要是保证系统稳定的前提下,根据设计目标找到满足设计要求的最佳调制器架构或 NTF。

3.1 Sigma-Delta 调制器的架构设计

目前, Sigma-Delta 调制器通常采用单环结构或多级噪声整形(multi-stage noise-shaping, MASH)结构^[37]。其中高阶单环结构一般采用高阶内插式架构,常见的架构主要为积分器级联前馈(cascade integrators with feedforward, CIFF)架构^[38]、积分器级联反馈(cascade integrators with feedback, CIFB)架构^[39]、谐振器级联前馈(cascade of resonator with feedforward, CRFF)架构^[40]、谐振器级联反馈(cascade of resonator with feedback, CRFB)架构^[41],这些

架构通过利用不同级间系数可优化配置系统 NTF 的零极点进而促使调制器具有更好的噪声整形效果。而 MASH 结构通常为两个及两个以上的一阶或二阶 Sigma-Delta 调制器进行级联,按照不同的级联方式和内部参数可实现各级间量化噪声的抵消,从而实现高阶的噪声整形效果。在相同阶数下,高阶单环结构相比于 MASH 结构往往能实现更高的输出性能,但需要考虑调制器的稳定性问题。MASH 结构使调制器的设计更加灵活,然而需要精确的内部参数以防止噪声泄露,进而保证噪声整形效果。在文献[37]中,设计了一个级间运放共享的 2-2 MASH 结构 Sigma-Delta 调制器,通过对经典结构的开关电容积分器进行改进,实现了 MASH 结构下两级调制器之间的运放共享,显著降低了 MASH 结构调制器的功耗。当电源电压为 3.3 V、信号带宽为 20 kHz、采样频率为 10.24 MHz 时,该调制器的信噪失真比可达 111.7 dB,整体功耗为 16.84 MW。除此之外,在文献[42]中,提到了一种 Sturdy-MASH (SMASH) 架构。SMASH 架构是在 MASH 架构的基础上去除了各级量化器后的数字抵消滤波器,直接将各级的输出信号传递到第一级进行处理,并构造噪声耦合多位量化器以减少各级间量化噪声的泄露。同时,在该文献中还提到与传统的 SMASH 架构调制器相比,采用噪声耦合多位量化器的 SMASH 架构调制器在信号-量化噪声比(signal-to-quantization noise ratio, SQNR)方面实现了高达 30 dB 的改进。这些改进使得该 Sigma-Delta 调制器特别适用于需要高分辨率和精确测量的传感器系统,如光学传感器^[43]。曹仕林等^[44]在基于 SMASH 架构的基础上提出了一种新型的两级级联结构,该结构使一个二阶 Sigma-Delta 调制器与额外的 1 位量化器级联得到一种新型级联结构的二阶 Sigma-Delta 调制器。仿真结果表明,该调制器在 OSR 为 256、输入信号带宽为 20 kHz 时,输出信噪比高达 114.1 dB,相较于传统二阶 Sigma-Delta 调制器,其实现了更高的精度。

McKenzie 等^[45]提出了一种用于抑制数字 D 类功放失真的反馈型架构,其结构示意图如图 4 所示。由于数字 D 类功放的功率级工作在开关模式,功率级的非理想因素会使其输出产生非线性失真,因此,该架构利用反馈路径对功率级误差进行处理与数字化。由于该架构把功率级误差,而不是功率级的输出信号,反馈到 Sigma-Delta 调制器的环路滤波器内进行噪声整形,因此,其反馈路径中使用低精度的 ADC 即可满足功放的高信号保真度要求,这有助于降低系统成本。在该架构中,功率级误差与量化噪声被一并反馈到 Sigma-Delta 调制器环路滤波器

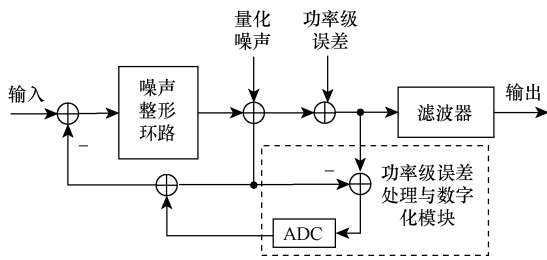


图 4 一种用于抑制数字 D 类功放失真的系统结构示意图^[45]

Fig. 4 Schematic diagram of a system structure for suppressing the distortion of digital class D power amplifiers^[45]

内进行失真校正,从而大幅减少了功放功率级引入的失真。McKenzie 等为了测试该反馈型架构的性能,基于 FPGA 实现了一个基于该架构的功放系统原型机。对该原型机采用 $8\ \Omega$ 的负载和 $10\ \text{V}$ 的供电电源进行测试并通过音频分析仪分析可得,当 Sigma-Delta 调制器时钟频率为 $12.5\ \text{MHz}$,输入信号为 $-8\ \text{dBFS}$ 、 $1\ \text{kHz}$ 的正弦信号时,系统的总谐波失真相较于无反馈架构降低了 $10\ \text{dB}$,其中 dBFS 表示信号的功率相对于最大可能功率的比率,通常用于衡量音频信号的强度和动态范围。

Kuo 等^[46]提出了一种旨在优化数字 D 类功放性能的 1 位 Sigma-Delta 调制器,其结构示意图如图 5 所示。该 Sigma-Delta 调制器采用 CRFB 架构,其中 1 位量化器由载波为锯齿波的脉冲宽度调制 (pulse width modulation, PWM) 量化器构成,相比于普通的 1 位量化器,该 1 位量化器的锯齿波振幅的提高可降低系统输出的脉冲重复频率,进而可在较低 OSR 的情况下大幅减少信号基带内的量化噪声能量和在调制过程中产生的非线性失真。然而,高的锯齿载波振幅通常会使得 Sigma-Delta 调制器易于不稳定,为此该文献还提出了一种极点移动方法以提高 Sigma-Delta 调制器的稳定性。构建的单环 6 阶 1 位调制器输出 SNR 高达 $120.27\ \text{dB}$,动态范围为 $120\ \text{dB}$,相比传统 PDM 方式,系统输出的脉冲重复频率降低了 36.4% 。

Jing 等^[47]提出了一种高精度离散时间型 MASH 2-2 架构的 Sigma-Delta 调制器,其架构示意图如图 6 所示。该架构由两级相同的 CIFF 结构的环路滤波器和数字对消逻辑 (digital cancellation logics, DCL) 组成,其中每级环路滤波器均主要由两个积分器、一个 16 位量化器和一个负反馈通路构成。每级环路滤波器采用的 16 位量化器,增强了系统的 DR。该系统通过引入一个积分器反馈支路,可利用反馈权重因子 g_i 实现对 NTF 零点的优化,进而改善基带内量化噪声整形的效果。此外,每级环路滤波器的负反馈支路

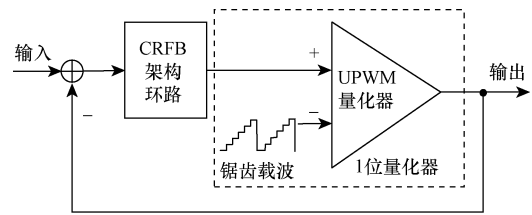
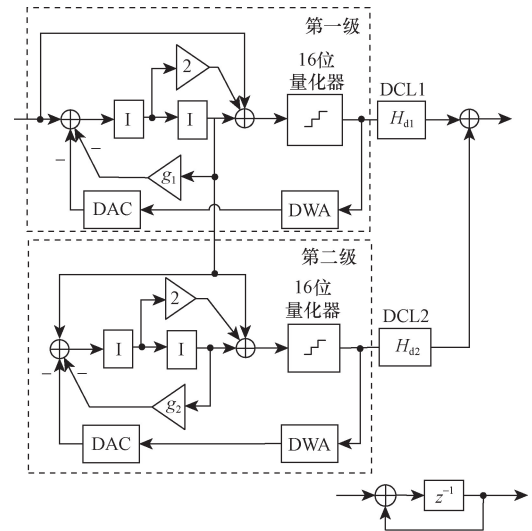


图 5 一种旨在优化数字 D 类功放性能的系统结构示意图^[46]

Fig. 5 Schematic diagram of a system architecture designed to optimize the performance of a digital class D amplifier^[46]



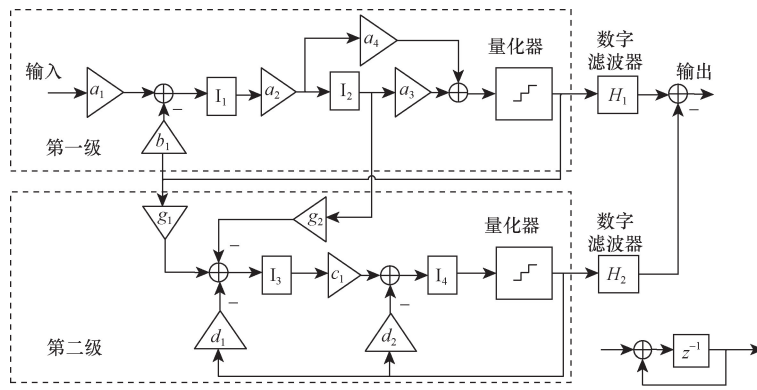
I 为积分器,积分器的系统函数为 $z^{-1}/(1-z^{-1})$; H_{d1} 和 H_{d2} 分别为第一级和第二级后的 DCL; g_1 和 g_2 分别为该架构下各级负反馈通路的系数

图 6 一种具有多级噪声整形的 Sigma-Delta 调制器架构图^[47]

Fig. 6 Architecture diagram of a Sigma-Delta modulator with multi-stage noise shaping^[47]

上采用了数据加权平均 (data weighted averaging, DWA) 技术以动态匹配负反馈支路上的 DAC,改善了 Sigma-Delta 调制器的线性度。利用 SIMSIDES 对该调制器进行仿真可得,当输入信号频率为 $250\ \text{kHz}$,幅度为 $-1.5\ \text{dBFS}$ 时,系统的输出 SNR 高达 $142\ \text{dB}$,与传统 MASH 2-2 架构的 Sigma-Delta 调制器^[37]相比,提升了约 $14\ \text{dB}$ 。

Yu 等^[48]提出了一种 18 位 4 阶的 2-2 MASH 架构 Sigma-Delta 调制器,其结构示意图如图 7 所示。该架构由两个二阶 Sigma-Delta 调制器级联组成,其中第一级为 CIFF 结构,第二级为 CIFB 结构。通过将 CIFF 结构与 CIFB 结构级联,该架构下如果系数 $a_1 = b_1$,则第一个积分器 I_1 输入信号的直流分量被反馈的量化器输出信号所抵消,使第一个积分器 I_1 输出信号的直流分量为 0,因此产生谐波失真的可能性较小。此外,该 Sigma-Delta 调制器在电路设计时采用了斩波技术来降低运算放大器的失调和闪烁



$I_1 \sim I_4$ 分别为积分器,积分器的系统函数均为 $z^{-1}/(1-z^{-1})$; $a_1 \sim a_4, b_1, c_1, d_1, d_2$ 以及 g_1, g_2 分别为该架构下不同的级间系数; H_1 和 H_2 分别为第一级和第二级后的数字滤波器

图7 一种由 CIFF 结构和 CIFB 结构级联组成的 2-2MASH 结构示意图^[48]

Fig. 7 Schematic diagram of a 2-2MASH structure composed of cascaded CIFF and CIFB structures^[48]

噪声。该架构的 Sigma-Delta 调制器满足了高精度和低畸变的要求,适用于隔离放大器。Yu 等采用 0.18 μm CMOS 工艺对该调制器进行芯片实现,调制器芯片有效面积为 0.90 mm^2 ,在 3.3 V 电源下,功耗为 29.70 mW。当调制器的输入信号为 10 kHz、-3 dBFS 的正弦信号时,调制器信噪失真比可达到 108.71 dB,有效位数可达到 17.77 位。

王阁藩等^[49]提出了一种新型二阶单环 1 位 Sigma-Delta 调制器的架构,其架构示意图如图 8 所示。该架构通过增加两个前馈支路,并调整核心积分器与信号加算模块的逻辑关系,在确保输出信号高保真度的同时实现了只对量化噪声进行二阶整形的处理。在该架构中,积分器只对量化噪声进行整形,降低了 Sigma-Delta 调制器对所使用的积分器非线性的敏感度,提高了系统稳定性,同时,积分器的性能不会直接对输入信号产生影响。该架构相较于对大幅度输入信号和量化噪声同时处理的传统架构,降低了实际电路的设计复杂度。为了确保实现对量化噪声的标准二阶噪声整形,积分器的系统函数应为: $H(z) = z^{-1}/(1-z^{-1}) - 1$ 。在输入信号频率 1 kHz、采样频率 1 024 kHz 的条件下,利用 MATLAB 对该架构 Sigma-Delta 调制器进行仿真测试

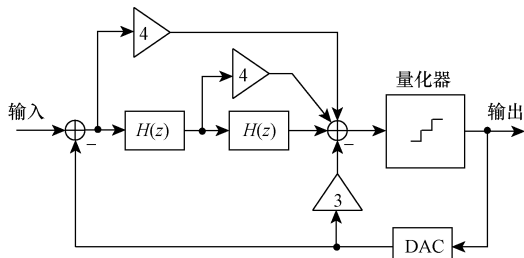


图8 一种新型二阶单环 Sigma-Delta 调制器架构图^[49]

Fig. 8 Architectural diagram of a novel second-order single-loop Sigma-Delta modulator^[49]

时,调制器输出 SNR 为 106.6 dB、有效位数为 17.41 bit、动态范围为 104.76 dB。该架构下 Sigma-Delta 调制器性能优,设计简单,为 MASH 结构调制器的架构设计提供了新思路。

3.2 噪声传递函数的设计

在 Sigma-Delta 调制器的设计中,其 NTF 的设计至关重要。根据 Sigma-Delta 调制器 NTF 的高通滤波特性,假设 NTF 分子、分母的多项式系数分别为 $a(n)$ 和 $b(n)$, $n = 1, 2, 3, \dots$, 则 L 阶噪声传递函数 $H_{\text{NTF}}(z)$ 的一般形式可表示为

$$H_{\text{NTF}}(z) = \frac{1 + \sum_{l=1}^{L-1} a(l)z^{-l}}{1 + \sum_{l=1}^{L-1} b(l)z^{-l}} \quad (2)$$

为了确保 Sigma-Delta 调制器可电路实现,则需要满足约束条件: $H_{\text{NTF}}(\infty) = 1$ 。对于噪声传递函数的设计,其目的是在保证系统稳定的前提下,实现对基带内量化噪声能量的抑制以提高 Sigma-Delta 调制器的输出 SNR^[50]。由于 Sigma-Delta 调制器内部存在非线性元件量化器,且对系统的稳定性分析较为复杂,因此目前并没有统一的稳定性判据。通常采用经验性准则^[51-52],将 NTF 的幅频响应的带外最大稳定增益限制在某一特定值下作为其稳定性判定条件,即

$$\|H_{\text{NTF}}(z)\|_{\infty} = \max_{0 \leq \omega \leq \pi} |H_{\text{NTF}}(e^{j\omega})| \leq \gamma \quad (3)$$

式(3)中: $z = e^{j\omega}$, ω 为数字角频率, j 为虚数单位; $\|H_{\text{NTF}}(z)\|_{\infty}$ 为 $H_{\text{NTF}}(z)$ 的无穷范数,代表 NTF 幅频响应在所有频率上的最大增益。在文献[32]中提到 Lee 通过大量的仿真测试给出了一位高阶 Sigma-Delta 调制器 NTF 稳定的一般判据 $\gamma = 1.5$ 。一般情况下,大多数 Sigma-Delta 调制器 NTF 的设计中均是在以上约束条件和稳定性判据条件下进行的。

高阶 Sigma-Delta 调制器 NTF 的设计方法主要可分为采用高通滤波器为原型对 NTF 进行设计和采用优化方法设计 NTF 两种。

近年来, Kidambi 等^[53-56]提出了一系列有关优化设计 NTF 的方法。Kidambi 等^[53]通过在基于模拟高通滤波器设计 NTF 的基础上,首先提出了一种结合加权函数获取期望阻带特性的 NTF 设计方法。该方法主要通过将基带内量化噪声分布与人耳听觉感知相结合,利用加权函数对 Sigma-Delta 调制器 NTF 进行优化处理。其中, F 加权和 A 加权是常见的音频领域中的加权函数,这些加权函数考虑了人耳在不同频率下对噪声敏感性的差异,通过对 NTF 进行 F 加权或 A 加权优化处理,使 NTF 基带内量化噪声能量对人耳听觉的影响最小化,可以更好地满足人耳对系统输出音频的感知。然而,加权函数的选择和对 NTF 的具体优化过程需要根据不同的应用场景和需求进行精密调整。Kidambi 等基于该方法分别利用 F 加权和 A 加权设计了一系列 OSR 为 32 的不同阶数的 NTF,与使用传统方法设计的 NTF 相比,这些 NTF 在阻带内提供了更高的衰减,且由这些 NTF 设计的 Sigma-Delta 调制器具有更高的 SQNR。

然后, Kidambi 等^[54]提出了一种基于 Least-pth 范数的 NTF 优化设计方法。该方法通过将 Sigma-Delta 调制器 NTF 的设计与 Least-pth 范数相结合构造了一个反映 NTF 基带内噪声能量的目标函数。该目标函数用来表征 NTF 基带内的噪声能量,其中 Least-pth 范数决定了 NTF 基带内量化噪声能量最小化的方式。通过选择目标函数中不同的 Least-pth 范数可以设计满足不同基带特性的 NTF,例如,将 Least-pth 范数 $p = 2$ 时,NTF 基带内的噪声能量以最小二乘法方式最小化; p 趋向无穷时,则使 NTF 基带内最大的噪声能量最小化。Kidambi 等基于该方法设计了一系列 OSR 为 32 的不同阶数的 NTF,与传统方法设计的 NTF 相比,其阻带内的噪声能量均比较小,且由这些 NTF 设计的 Sigma-Delta 调制器 SQNR 均略胜一筹。

随着 Papoulis、Halpern、least-squares 以及 Gegenbauer 等多项式被用于模拟高通滤波器的设计, Kidambi 等又提出了基于以上多项式的 NTF 优化设计方法^[55-56]。与传统方法相比,使用该方法设计的 Sigma-Delta 调制器具有更大的稳定输入幅度和较高的输出 SNR。该方法首先设计了一个归一化的模拟高通滤波器。当采用 Papoulis、Halpern、least-squares 等多项式作为设计模拟高通滤波器的特征函数时,可得 L 阶归一化模拟高通滤波器的幅度平方函数为

$$|H(j\Omega)|^2 = \frac{1}{1 + \hat{\Phi}_L(\Omega^2)\Omega^{4M-2L} \prod_{i=1}^M [(\Omega_i^2 - 1) - (\Omega^2 - \Omega_i^2)]^2} \quad (4)$$

式(4)中: $\hat{\Phi}_L(\Omega^2) = \Omega^{2L}\Phi_L(1/\Omega^2)$; $\Phi_L(\Omega)$ 为模拟滤波器的特征函数; Ω 为模拟角频率; Ω_i 为零点位置, $i = 1, 2, \dots, M$ 。一般情况下,高通滤波器阻带内的能量可近似视为 NTF 基带内的噪声能量,通过优化设置多项式参数可以实现对 NTF 基带内量化噪声能量的最小化。模拟高通滤波器阻带内的能量可表示为

$$E_{\min} = \int_0^{\Omega_a} W^2(\Omega) \frac{\Omega^{(2L-4M)}}{\hat{\Phi}_L(\Omega^2)} \prod_{i=1}^M \left(\frac{\Omega^2 - \Omega_i^2}{\Omega_i^2 - 1} \right)^2 d\Omega \quad (5)$$

式(5)中: $W(\Omega)$ 为加权函数,当不采用加权时 $W(\Omega) = 1$; Ω_a 为高通滤波器的阻带边缘角频率, Ω_i 均小于 Ω_a ,同时,该模拟高通滤波器的通带边缘角频率为 1 rad/s。通过把具有期望阻带特征的模拟高通滤波器设计问题,转换为对模拟滤波器阻带能量求最小值的问题,从而获得具有期望阻带特征的归一化模拟高通滤波器的幅度平方函数。根据 $\Omega = -js$,可将所获得的幅度平方函数转换为

$$|H(j\Omega)|^2 = H(s)H(-s) \Big|_{s=j\Omega} = \frac{N(s)N(-s)}{D(s)D(-s)} \quad (6)$$

式(6)中: $N(s)$ 和 $D(s)$ 分别为传递函数 $H(s)$ 的分子和分母多项式。通过选取合适的 $N(s)$ 和 $D(s)$, 可得到在 $\Omega = 1$ rad/s 处具有 3 dB 通带边缘的模拟高通滤波器传递函数 $H_{\text{NP}}(s)$ 。设 Ω_c 为滤波器的期望截止频率,通过利用 $s \rightarrow s(\Omega_c/\Omega_a)$ 的变换可将 $H_{\text{NP}}(s)$ 转换为具有期望截止频率的模拟高通滤波器传递函数 $H_{\text{NHP}}(s)$,其相应的数字高通滤波器传递函数 $H_{\text{HP}}(z)$ 可通过对 $H_{\text{NHP}}(s)$ 进行双线性变换求得。

而对于选用 Gegenbauer 多项式作为模拟高通滤波器幅度平方函数的特征函数时,其特征函数表示为 $\Phi_L^2(\Omega, \mu)$,其中 μ 为 Gegenbauer 多项式参数。当通过引入一对零点 $\pm \Omega_z$ 对模拟高通滤波器的阻带特征进行零点优化时, L 阶基于 Gegenbauer 多项式的归一化模拟高通滤波器的幅度平方函数为

$$|H(j\Omega)|^2 = \frac{(\Omega_z^2 - 1)^2 \epsilon^2 \Phi_L^2(\Omega, \mu)}{(\Omega^2 - \Omega_z^2)^2 + (\Omega_z^2 - 1)^2 \epsilon^2 \Phi_L^2(\Omega, \mu)} \quad (7)$$

式(7)中: ϵ 为通带波纹参数。

同样可以通过把模拟高通滤波器的求解问题

转换为对模拟滤波器阻带能量求最小值的问题,进而得到由 Gegenbauer 多项式所设计的数字高通滤波器的传递函数。对于给定的 Sigma-Delta 调制器的阶数 L 、过采样率 OSR 和 NTF 带外最大稳定增益 γ ,为了得到满足稳定性条件的 NTF,有

$$E_{\text{ntf}} = \left[\left| \frac{H_{\text{HP}}(z)}{p_0} \right| - \gamma \right]^2 \quad (8)$$

最小化得到 $H_{\text{HP}}(z)$,其中 p_0 为 $H_{\text{HP}}(z)$ 分子多项式系数的第一项。然后利用数字高通滤波器设计 NTF 的方法便可得到期望的噪声传递函数 $H_{\text{ntf}}(z)$ 为

$$H_{\text{ntf}}(z) = \frac{H_{\text{HP}}}{p_0} = \frac{\sum_{l=0}^{L-1} p(n)z^{-l}}{p(0) \left[1 + \sum_{l=1}^{L-1} q(n)z^{-l} \right]} \quad (9)$$

令 $b(n) = q(n)$, $a(n) = p(n)/p(0)$, $p(0) = p_0$, $n = 1, 2, \dots, L-1$,最终可得到一般形式下的 NTF。

Kidambi 等^[55-56]基于该方法利用上述不同的多项式设计了一系列 OSR 为 32 的不同阶数的 NTF。基于 Papoulis、Halpern 和 least-squares 等多项式设计的 NTF,其幅频响应曲线在通频带内均表现为单调性,没有纹波。基于 least-squares 多项式设计的 NTF,其幅频响应曲线在通频带内具有最大限度的平坦特征,而基于 Papoulis 和 Halpern 多项式设计的 NTF,该 NTF 是通过牺牲通频带内幅频响应曲线的平坦度以获得更高的阻带特性。基于 Gegenbauer 多项式设计的 NTF,其幅频响应曲线在通频带内表现为非单调性,具有一个可设定的纹波,在通频带内,幅频响应曲线具有小纹波的 NTF 会比单调的 NTF 具有更高的阻带衰减特性。

此外,Arockia 等^[57]也提出了一种通过采用改进的 Jacobi 多项式作为特征函数设计模拟高通滤波器,进而设计 NTF 的方法。由于正交 Jacobi 多项式具有奇偶混合项,不适合作为模拟滤波器传递函数的特征多项式,所以该方法将两个正交的 Jacobi 多项式通过求和得到改进的 Jacobi 多项式,该特征多项式只含偶数项,便于模拟滤波器的实现。由于改进的 Jacobi 特征多项式具有表征滤波器阻带衰减的参数,因此,可通过将 NTF 阻带内的衰减问题转化为优化参数并求解的问题,进而实现了对 NTF 阻带衰减的控制。基于该方法设计了一个 OSR 为 32 的 5 阶 Sigma-Delta 调制器,其输出 SQNR 为 69.9 dB,与采用传统方法设计的 Sigma-Delta 调制器相比,提高了 5.15 dB。

这种由滤波器为原型设计 NTF 的方法是目前

设计 NTF 的主流方法,适应度广,但依赖于设定的 Sigma-Delta 调制器参数和稳定性约束条件。该方法虽然设计过程涉及多项式选择、零点优化和参数寻优等步骤,但较为适合工程实践应用。目前,在音频处理、无线通信等领域中,设计 Sigma-Delta 调制器的 NTF 大多是基于该方法。例如,在文献^[58]中提到一种采用椭圆滤波器来设计 1 位带通 Sigma-Delta 调制器 NTF 的方法。带通 Sigma-Delta 调制器一般用于射频领域,具有选择性滤波、抗干扰能力强、动态范围高等特点,在射频前端、通信系统和雷达信号处理等领域中发挥着重要作用。除了以上采用滤波器为原型对 NTF 进行设计外,还有部分学者结合高阶多位 Sigma-Delta 调制器系统中所存在的不同问题提出高阶稳定的 Sigma-Delta 调制器 NTF 的优化设计方法。

Yang 等^[59]提出了一种基于扩展的经验性准则和噪声整形闭环分析(closed-loop analysis of noise shaping, Clans)方案^[32]的 NTF 优化设计方法。Clans 方案给出了高阶多位 Sigma-Delta 调制器稳定的最大输入电平 u_{max} 与 $\|\mathbf{h}\|_1$ 之间的关系式为

$$\begin{cases} u_{\text{max}} = N_{\text{lev}} - h_Q \\ h_Q = \|\mathbf{h}\|_1 - 1, \|\mathbf{h}\|_1 = \sum_1^{\infty} |\mathbf{h}(n)| \end{cases} \quad (10)$$

式(10)中: $\mathbf{h}_Q(n)$ 为 NTF 的冲激响应; $\|\mathbf{h}\|_1$ 为 $\mathbf{h}(n)$ 的 1 范数; N_{lev} 为多位 Sigma-Delta 调制器的量化等级; h_Q 为量化误差的最大积累量,应小于或等于量化等级数。Clans 方案主要是对 NTF 的极点进行优化,通常是将具有最大 h_Q 的 NTF 作为优化目标,并需要满足式(10)。然而,该方案下所设计的 NTF 并不是很稳定,且当 h_Q 取最大值时所设计的 NTF 也并不总是最优的。因此,在 Yang 等^[59]所提出的优化设计方法中,首先在 NTF 设计时,采用了扩展的经验性准则,即

$$\begin{cases} h_Q = 1.23N_{\text{lev}} + 9.62u_{\text{max}} - 1.06u_{\text{max}}N_{\text{lev}} - \\ \quad 6.25u_{\text{max}}^2 - 2.53 \\ u_{\text{max}} \in [0.3, 0.9] \\ \|\mathbf{NTF}\|_{\infty} = \frac{3}{4}h_Q \end{cases} \quad (11)$$

式(11)中: $\|\mathbf{NTF}\|_{\infty}$ 表示 NTF 的无穷范数。然后将 $\|\mathbf{NTF}\|_{\infty}$ 设置为 Clans 方案极点优化的目标值,进而由 Clans 方案对 NTF 进行优化设计。Yang 等^[59]基于该方法设计了一个量化等级数为 4、具有 CRFB 结构的 4 阶 Sigma-Delta 调制器,与使用传统

方法设计的Sigma-Delta调制器相比,该Sigma-Delta调制器,在8倍OSR的情况下,输出SNR实现了约7 dB的提升。

此外,由于Sigma-Delta调制器本质上是一个非线性系统,因此,通常对Sigma-Delta调制器采用拟线性分析方法推导其NTF,以便对Sigma-Delta调整器进行分析和综合。尽管拟线性化方法是对目前Sigma-Delta调制器NTF推导的常用方法,但也存在不适用于该方法的Sigma-Delta调制器架构。针对该问题,文献[61]提出了一种适用于所有Sigma-Delta调制器架构的NTF推导方法,该方法基于输出噪声频谱构建纯幅度传递函数模型架构以生成稳定的线性时不变NTF逼近模型。虽然该方法的适用性较强,但只给出了针对1位Sigma-Delta调制器的应用实例。从以上对Sigma-Delta调制器NTF的设计方法中可以看到,NTF的设计通常是Sigma-Delta调制器的设计核心,设计目标不仅繁多且相互制约,其设计往往要涉及多目标多参数的优化。

3.3 基于人工智能辅助优化的Sigma-Delta调制器设计

随着科学技术的发展,大数据和人工智能的结合使计算机处理数据的能力得到了极大飞跃,部分学者开始将高阶多位Sigma-Delta调制器的设计与人工智能优化算法结合起来。在文献[62]中,提到了人工智能在Sigma-Delta调制器设计中所起到的作用,其主要通过Sigma-Delta调制器的架构选择、环路滤波器的设计、系统级建模与仿真3个方面进行了阐述。此外,该文献还介绍了目前常用于Sigma-Delta调制器的3种设计工具:基于MATLAB的综合工具箱Delta-Sigma Toolbox、用于建模仿真的工具箱SIMSIDES和基于web的设计网站www.sigma-delta.de。

José等^[63-64]提出了一种基于人工神经网络(artificial neural networks, ANNs)优化设计Sigma-Delta调制器的方法。该方法主要将ANNs与SIMSIDES仿真相结合来探索Sigma-Delta调制器的最佳设计方案,通过将SIMSIDES实现Sigma-Delta调制器行为仿真时的性能指标和设计变量作为ANNs的数据集以训练和测试ANNs,其中80%的数据用于训练,其余用于测试。神经网络一旦建立,利用大量数据训练便可实现对数据集内的Sigma-Delta调制器进行建模及性能预测。此外,通过对Sigma-Delta调制器的数据集进行扩充,并迭代优化训练ANNs,可提高ANNs对数据集中Sigma-Delta调制器最优设计的识别能力,进而迅速输出最佳设计方案,如Sigma-Delta调制器的架构参数、放大器直流增益、带宽、输

出摆幅等。José等^[63-64]基于该方法设计了一些OSR为128的Sigma-Delta调制器,与采用MATLAB所提供的三种优化算法设计的调制器相比,该方法设计的Sigma-Delta调制器在SNR和功耗方面更优。

Tan等^[65]提出了一种基于遗传算法(genetic algorithm, GA)^[66-67]的Sigma-Delta调制器架构参数优化设计方法。GA是一种基于生物进化原理的智能优化算法,其主要思想是通过群体中个体的自主搜索,并将所得信息分享给种群内其他成员,通过不断迭代从而得到区域内的最优解。该方法首先随机生成一个初始群体,其中每个个体代表一个Sigma-Delta调制器的架构参数组合。然后,利用SNR指标来评估每个个体的性能状况,根据性能评估结果,选择具有较好性能的个体作为“父代”。随后,将挑选出的“父代”通过交叉和变异创造新的个体,并加入到种群中重复上述过程,最终迭代出满足条件的最佳个体。通过使用GA进行Sigma-Delta调制器的优化配置,可以有效地提高Sigma-Delta调制器的性能。该方法与广泛应用的Delta-Sigma Toolbox相比,虽然二者采用了相同的设计规则,但GA在寻找参数时朝着适应度高的方向进行搜索,降低了参数搜索的复杂度。在相同复杂度的情况下,GA能更迅速的找到符合NTF的Sigma-Delta调制器架构设计参数。通过该方法分别设计了一个4阶,过采样率为8的Sigma-Delta调制器,与传统方法相比,该方法所设计的Sigma-Delta调制器的输出SNR提高了约5 dB。

在文献[68]中,提出了一种基于ANNs的Sigma-Delta调制器稳定性预测方法,该方法主要通过ANNs来预测Sigma-Delta调制器的稳定性,克服了传统方法难以预测非线性系统稳定性的局限。该方法首先利用GA生成了大量的用于ANNs的训练数据,包括不同输入幅度下Sigma-Delta调制器SQNR的仿真结果。当SQNR低于某阈值时,相应的数据会被分类为不稳定的数据集。然后,该方法使用贝叶斯优化算法^[69]来确定ANNs的最佳超参数,如每层的节点数、隐藏层数和丢弃率。最后,该方法通过将训练好的ANNs集成到GA中,在GA的每一步使用ANNs预测GA新生成数据集的稳定性,并只对预测为稳定的数据集进行仿真,进而节省了设计时间。该方法为Sigma-Delta调制器的稳定性预测和优化提供了一种高效的新途径。Kaesser等分别利用该方法与未采用GA的ANNs方法对一些Sigma-Delta调制器的稳定性进行预测,由仿真结果可知,该方法较未采用GA的ANNs方法得到Sigma-Delta调制器的平均最大稳定振幅降低了

-2.9 dBFS。

Lu 等^[70]提出了一种基于双层贝叶斯优化算法实现 Sigma-Delta 调制器自动高层次拓扑综合的方法。该方法将 Sigma-Delta 调制器的拓扑搜索和参数调整建模为一个双层优化问题,上层优化负责寻找最优拓扑架构,下层优化负责在该拓扑下调整参数。在拓扑寻优和参数调整层面分别构建了基于高斯过程的性能模型,以减少设计空间探索中的冗余取样和电路仿真需求。此外,通过建立了一个数据库来存储已生成的 Sigma-Delta 调制器模型及其性能结果,以支持快速查询和避免重复优化操作,提高设计空间搜索效率。该方法在复杂、自动化需求高的系统设计中具有广泛的应用前景,并且能够适应不同的仿真环境和 Sigma-Delta 调制器架构需求。采用 40 nm 工艺对基于该方法设计的 4 阶 Sigma-Delta 调制器进行实现,当输入峰峰值电压为 0.75 V 时,该 Sigma-Delta 调制器的信噪失真比为 98 dB,功耗为 450.8 μ W,动态范围为 99.2 dB。

4 结论与展望

探讨了近年来用于数字 D 类功放中 Sigma-Delta 调制器的设计方案,其中着重对 Sigma-Delta 调制器的架构设计、NTF 设计、基于人工智能算法辅助优化设计 3 个方面进行论述。通过对近年来在数字 D 类功放中 Sigma-Delta 调制器的应用、设计、优化等文献资料的总结分析,发现目前主流的数字 D 类功放中通常采用多位数字 Sigma-Delta 调制器。对于数字 D 类功放的多位数字 Sigma-Delta 调制器,其输入信号的过采样率和量化器位数往往较低,而阶数较高,因此,需要考虑稳定性问题。高阶数字 Sigma-Delta 调制器的主流架构主要为内插式或 MASH 结构,选取不同的架构取决于具体应用要求、性能要求以及设计复杂度等。基于上述内容,提出以下对数字 D 类功放中 Sigma-Delta 调制器今后研究发展的展望。

(1) 在数字 Sigma-Delta 调制器的设计中,其 NTF 的设计是其重点也是其难点,目前,NTF 的设计主要还是以滤波器为原型进行设计或通过优化 NTF 的零极点进行设计。同时,研究学者们往往更关注于如何提高 Sigma-Delta 调制器引入的噪声在基带内的噪声整形效果,而调制器输出信号带外频谱情况以及 NTF 过渡带的范围和形状特征并不关心,从而导致 Sigma-Delta 调制器输出信号的带外频谱中噪声能量很大,且基带外频谱能量攀升很快。在数字 D 类功放中,上述情况会加重 Sigma-Delta 调制器后级的滤波负担,影响系统性能和实现复杂

度。因此,对 Sigma-Delta 调制器 NTF 的设计应进行更细致的系统分析,考虑多参数优化,并探索自适应 Sigma-Delta 调制器 NTF 的设计方法,以适应不同场景的需求。

(2) 由于 Sigma-Delta 调制器在高阶情况下存在稳定性问题和多位量化器量化等级的优化选取等问题。因此,对高阶多位的 Sigma-Delta 调制器建立准确的控制函数模型,提出严格的稳定性判据以及研究新型 Sigma-Delta 调制器拓扑架构是确保系统充分发挥优势特点,提高系统稳定和性能的关键。

(3) 在人工智能技术的迭代升级中,基于人工智能算法的 Sigma-Delta 调制器优化设计也有望取得突破性进展。通过结合特定的人工智能算法和技术,能显著提高设计 Sigma-Delta 调制器的设计效率和准确性。然而,尽管采用人工智能算法能够实现 Sigma-Delta 调制器的自动化设计,但是由于该方法高度依赖数据集的质量,包括数据集的准确性、覆盖范围和密度等,且需要大量的计算资源以支撑设计环境,因此,在仿真资源有限的情况下,需要改进算法结构,简化算法的复杂度,提高模型的广泛化能力以降低资源消耗,提高设计的效率,进而更好地推动 Sigma-Delta 调制器设计的创新和发展。

参考文献

- [1] Mei S, Hu Y, Xu H, et al. The class D audio power amplifier: a review[J]. *Electronics*, 2022, 11(19): 272-273.
- [2] 史延东, 王泊洋, 宁飞. D 类功放开关电源的设计与实现[J]. *科学技术与工程*, 2011, 11(11): 2483-2487.
Shi Yandong, Wang Boyang, Ning Fei. Design and implement of class D power amplifier SMPS for super capacitor[J]. *Science Technology and Engineering*, 2011, 11(11): 2483-2487.
- [3] Pakniat H. Precise mathematical model of PSCM class-D amplifiers[J]. *IEEE Transactions on Industrial Electronics*, 2022, 69(10): 9731-9738.
- [4] 顾爱民. 一种降低 D 类功率放大器开关噪声的设计[J]. *声学技术*, 2020, 39(2): 257-260.
Gu Aimin. A design to reduce the switching noise of class D power amplifier[J]. *Technology*, 2020, 39(2): 257-260.
- [5] Khalid I, Muhammad A, Tariq W T, et al. A new noise shaping approach for sigma-delta modulators using two-stage feed-forward delays and hybrid MASH-EFM[J]. *Electronics*, 2023, 12(3): 740.
- [6] 李春斌. 24 bit-2 kHz 高精度 Sigma-Delta 调制器系统设计与研究[D]. 西安: 西安电子科技大学, 2021.
Li Chunbin. Design and research of 24 bit-2 kHz high-precision Sigma-Delta modulator system[D]. Xi'an: Xidian University, 2021.
- [7] 丁朝君. 一种便携低噪声 D 类功放的设计与实现[J]. *电声技术*, 2023, 47(7): 79-83.

- Ding Chaojun. Design and implementation of an efficient class D power amplifier[J]. *Audio Engineering*, 2023, 47(7): 79-83.
- [8] Shuennyuh L, PoHan S, KuanLin H, et al. High-pass Sigma-Delta modulator with techniques of operational amplifier sharing and programmable feedforward coefficients for ECG signal acquisition[J]. *IEEE Transactions on Biomedical Circuits and Systems*, 2021, 15(3): 433-453.
- [9] Weijie L, Min L, Xuqiang Z, et al. A 100-Gb/s PAM-4 DSP in 28-nm CMOS for serdes receiver [J]. *Electronics*, 2023, 12(2): 257.
- [10] Carvalho M L F, Fernando M. Design improvements on fast high-order incremental sigma-delta ADCs for low-noise stacked CMOS image sensors[J]. *Electronics*, 2021, 10(16): 1936.
- [11] 余新洁. 应用于 16bit Sigma-Delta DAC 的插值滤波器的设计[D]. 桂林: 桂林电子科技大学, 2023.
Yu Xinjie. Study of interpolation filter for 16bit Sigma-Delta DAC [D]. Guilin: Guilin University of Electronic Technology, 2023.
- [12] Matamura A, Nishimura N, Birdsong P, et al. An 82-mW $\Delta\Sigma$ -based filterless class-D headphone amplifier with -93 dB THD + N 113 dB SNR and 93% efficiency[J]. *IEEE Journal of Solid-State Circuits*, 2021, 56(12): 3573-3582.
- [13] Karmakar S, Zhang H, Veldhoven R V, et al. A 28-W 102.2-dB THD + N class-D amplifier using a hybrid $\Delta\Sigma$ M-PWM scheme [J]. *IEEE Journal of Solid-State Circuits*, 2020, 55(12): 3146-3156.
- [14] 刘振宇, 宋树祥, 马宗鹏, 等. 离散型 Sigma-Delta 调制器的研究进展[J]. *电子元件与材料*, 2022, 41(6): 602-610.
Liu Zhenyu, Song Shuxiang, Ma Zongpeng, et al. Research progress of discrete sigma-delta modulators [J]. *Electronic Components and Materials*, 2022, 41(6): 602-610.
- [15] Taşhyol M, Öncü S, Turan M E. An implementation of class D inverter for ultrasonic transducer mixed powder mixture[J]. *Ultrasonics Sonochemistry*, 2024, 104: 106838.
- [16] 魏聪, 黄黎杰, 胡炜, 等. 一种应用于物联网传感器的伪三阶 Delta-Sigma 调制器[J]. *电子学报*, 2024, 52(6): 2123-2130.
Wei Cong, Huang Lijie, Hu Wei, et al. Pseudo third-order Delta-Sigma modulator applied to Internet of Things sensors [J]. *Acta Electronica Sinica*, 2024, 52(6): 2123-2130.
- [17] Shanthi G, Kumar A S, Phanidra P, et al. An efficient FPGA implementation of cascade integrator comb filter [C]//2022 International Conference on Intelligent Innovations in Engineering and Technology (ICHET). Coimbatore: IEEE, 2022: 151-156.
- [18] Zhang Q, Zhang H, Yao J, et al. Noise shaping technology based on multiple Sigma-Delta to improve SNR of power amplifier [C]//Annual Conference of China Electrotechnical Society. Singapore: Springer Nature Singapore, 2022: 727-734.
- [19] Thant M M, Mytsyk G S. Synthesis and modeling of a new topology of single-phase multilevel voltage inverters with amplitude-pulse-width modulation of the output voltage [C]//2023 IEEE International Scientific and Technical Conference Actual Problems of Electronic Instrument Engineering (APEIE). Novosibirsk: IEEE, 2023: 500-505.
- [20] Bellili N E I, Bekhouche K. Class-D audio amplifier using Sigma-Delta ($\Sigma\Delta$) modulator[J]. *Indonesian Journal of Electrical Engineering and Informatics*, 2022, 10(3): 567-572.
- [21] Unal K, Bal G, Oncu S. Irregular 64 PDM controlled wireless power transfer for precise power control [C]//2023 12th International Conference on Renewable Energy Research and Applications. Oshawa: IEEE, 2023: 349-352.
- [22] Kaleris K, Psarakis E, Mourjopoulos J. Spectrum analysis of digital UPWM signals generated from random modulating signals [J]. *Scientific Reports*, 2024, 14(1): 4353.
- [23] Yu Z, Liu H, Liu L, et al. An all-digital spread spectrum method with distortion correction for filterless digital class-D amplifiers [J]. *IEEE Transactions on Vehicular Technology*, 2024, 9: 1-13.
- [24] Wang H, Zhang Y, Pun K P. A 1.3 MW 73.3 dB DR 10 MHz bandwidth CT Delta-Sigma modulator with a charge-recycled SC DAC and 52.7 dB alias rejection [J]. *Solid State Electronics Letters*, 2022, 4: 15-29.
- [25] 袁剑涛. 低功耗高分辨率的连续时间 Sigma-Delta 调制器的研究与设计[D]. 杭州: 浙江大学, 2022.
Yuan Jiantao. Research and design of continuous-time Sigma-Delta modulator with low power consumption and high resolution [D]. Hangzhou: Zhejiang University, 2022.
- [26] 聂勇, 吴旦昱, 王丹丹, 等. 一种具有 1 ~ 128 倍可变增益放大器的低功耗 Sigma-Delta ADC [J]. *半导体技术*, 2024, 49(5): 476-482.
Nie Yong, Wu Danyu, Wang Dandan, et al. A low power consumption Sigma-Delta ADC with a 1 to 128 variable gain amplifier [J]. *Semiconductor Technology*, 2024, 49(5): 476-482.
- [27] 杨旻昊. 高精度低速 Sigma-Delta 调制器的研究与设计[D]. 成都: 电子科技大学, 2023.
Yang Minhao. Research and design of high precision and low speed Sigma-Delta modulator [D]. Chengdu: University of Electronic Science and Technology of China, 2023.
- [28] 孙奥运, 温培旭, 邵淮先, 等. 高精度音频 Sigma-Delta 调制器综述[J]. *电子与信息学报*, 2024, 46(5): 1874-1887.
Sun Aoyun, Wen Peixu, Shao Huaixian, et al. A review of high-resolution audio Sigma-Delta modulator [J]. *Journal of Electronics & Information Technology*, 2024, 46(5): 1874-1887.
- [29] Meng L, Chen J, Zhao M, et al. An 18.2 μ W 101.1 dB DR fully-dynamic $\Delta\Sigma$ ADC with partially-feedback noise-shaping quantizer and CLS-embedded two-stage FIAs [C]//ESSCIRC 2023-IEEE 49th European Solid State Circuits Conference (ESSCIRC). Lisbon: IEEE, 2023: 393-396.
- [30] Liu Q, Breems L J, Bajoria S, et al. A 158 mW 360 MHz BW 68 dB DR continuous-time 1-1-1 filtering MASH ADC in 40 nm CMOS [J]. *IEEE Journal of Solid-State Circuits*, 2022, 57(12): 3781-3793.
- [31] Dalla L M, Conzatti F, Hofmann T, et al. An intrinsically linear 13-level capacitive DAC for delta sigma modulators [J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2022, 70(4): 1291-1295.
- [32] Pavan S, Schreier R, Gabor C. Understanding Delta-Sigma data converters[M]. 2nd ed. New York: Wiley-IEEE Press, 2017.
- [33] Auer M, Karaca T. A class-D amplifier with digital PWM and digital loop-filter using a mixed-signal feedback loop [C]//ESSCIRC 2019-IEEE 45th European Solid State Circuits Conference (ESS-

- CIRC). Cracow: IEEE, 2019: 153-156.
- [34] Fu X, El-Sankary K. A 14.5 bit ENOB, 10 MS/s SAR-ADC with 2 nd order hybrid passive-active resonator noise shaping[J]. IEEE Access, 2022, 10: 54589-54598.
- [35] Saeed M A, Kumar M, Umaphathi B, et al. Optimization of slew mitigation capacitor in passive charge ccompensation-based Delta-Sigma modulator[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023, 70(6): 1821-1825.
- [36] Mounika P, Pu Y G, Lee K Y. A 1.4 MW Sigma Delta ADC with configurable filter for sensor applications[C]//2023 Fourteenth International Conference on Ubiquitous and Future Networks (ICUFN). Paris: IEEE, 2023: 697-699.
- [37] 彭鑫霄, 汪东, 李振涛, 等. 一种级间运放共享的 MASH 结构 $\Sigma\Delta$ 调制器[J]. 微电子学, 2024, 54(1): 38-44.
Peng Lixiao, Wang Dong, Li Zhentao, et al. A MASH structure interstage Op-Amp sharing $\Sigma\Delta$ modulator[J]. Microelectronics, 2024, 54(1): 38-44.
- [38] Tao T, Duan Q, Ge T. A Sigma-Delta modulator with single-pole double-throw analog switch[C]//Journal of Physics: Conference Series. London: IOP Publishing, 2023, 2625(1): 012047.
- [39] Zhao H, Jiang X, Wang S. A 4th order CIFB high dynamic range Sigma-Delta modulator with multi-level quantizer and intrinsically linear capacitive DACs[C]//2024 IEEE International Symposium on Circuits and Systems (ISCAS). Singapore: IEEE, 2024: 1-5.
- [40] Sant L, Fuldner M, Bach E, et al. A 130 dB SPL 72 dB SNR MEMS microphone using a sealed-dual membrane transducer and a power-scaling read-out ASIC[J]. IEEE Sensors Journal, 2022, 22(8): 7825-7833.
- [41] Al Deen H K, Abd H J. Digitalized radio over fiber network-based Sigma Delta modulation[J]. Fiber and Integrated Optics, 2024, 43(3): 97-110.
- [42] Akif O U, Friedel G. Sturdy-MASH Delta-Sigma modulator with improved resolution using noise-coupling multi-bit quantizer[C]//2022 IEEE 65th International Midwest Symposium on Circuits and Systems (MWSCAS). Fukuoka: IEEE, 2022: 9859279.
- [43] Papapavlou C, Paximadis K, Uzunidis D, et al. Toward SDM-based submarine optical networks: a review of their evolution and upcoming trends[J]. Telecom, 2022, 3(2): 234-280.
- [44] 曹仕林, 陈红梅, 尹勇生. 一种新型的级联 Sigma-Delta 调制器的建模设计[J]. 合肥工业大学学报(自然科学版), 2020, 43(7): 927-931.
Cao Shilin, Chen Hongmei, Yi Yongsheng. Modeling design of a new cascade Sigma-Delta modulator[J]. Journal of Hefei University of Technology(Natural Science), 2020, 43(7): 927-931.
- [45] McKenzie R N, Ng W T. A distortion suppression technique for a digital class d audio power amplifier with pulse density modulation [C]//2018 International Conference on Audio, Language and Image Processing (ICALIP). Shanghai: IEEE, 2018: 315-320.
- [46] Kuo C H, Liou Y J. A delta-sigma modulator with UPWM quantizer for digital audio class-d amplifier[C]//2019 MIXDES-26th International Conference "Mixed Design of Integrated Circuits and Systems". Rzeszow: IEEE, 2019: 293-297.
- [47] Jing C, T Li, Bo Gao, et al. A MASH2-2 Sigma Delta modulator with NTF zero optimization technique[C]//2022 5th International Conference on Communication Engineering and Technology. Shanghai: IEEE, 2022: 68-70.
- [48] Yu W, He L, Xi J. An 18-bit 2-2 MASH Delta-Sigma modulator for isolated amplifier[J]. Microelectronics Journal, 2023, 136: 105794.
- [49] 王阁藩, 李恺, 刘博, 等. 一种新型的高精度 Sigma-Delta 调制器结构[J]. 电子测量技术, 2022, 45(12): 1-5.
Wang Gefan, Li Kai, Liu Bo, et al. A novel structure of high-precision Sigma-Delta modulator[J]. Electronic Measurement Technology, 2022, 45(12): 1-5.
- [50] Xu R, Huang H, Xu G, et al. A new generation based on SDM of repeated trans-oceanic submarine optic cable[J]. Symposium on Novel Photoelectronic Detection Technology and Application, 2022, 12169: 1652-1660.
- [51] Li R Y. An investigation on spatial dimension multiplexing/demultiplexing for SDM systems[C]//2022 IEEE 8th International Conference on Computer and Communications (ICCC). Chengdu: IEEE, 2022: 1566-1572.
- [52] Naskar S. Complete design approach of a 3rd order continuous-time sigma-delta ADC with FIR feedback and low-noise low-distortion OP-AMP achieving 101.8 dB SNDR and -110dB THD[J]. Integration, 2023, 91: 98-106.
- [53] Kidambi S. On the design of optimal noise transfer functions for Delta-Sigma modulators[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(3): 392-396.
- [54] Kidambi S. Design of noise transfer functions for Delta-Sigma modulators using the least-pth norm[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(4): 707-711.
- [55] Kidambi S. Noise transfer function design for Delta-Sigma modulators using the Gegenbauer polynomial [J]. Signal Processing, 2019, 159(17): 49-52.
- [56] Kidambi S. Improved design of noise transfer functions with monotonic passband response for delta-sigma modulators[J]. IET Circuits, Devices & Systems, 2020, 14(2): 216-220.
- [57] Arockia J T, Premanand V C, Srinivasan R, et al. Design of noise transfer function for delta sigma modulator based on modified Jacobi polynomial approximations[C]//2023 International Conference on Wireless Communications Signal Processing and Networking (WiSPNET). Chennai: IEEE, 2023: 10134293.
- [58] Maehata T, Suematsu N. Wideband 1-bit bandpass Delta Sigma modulator using elliptic filter in noise transfer function[J]. IEEE Access, 2022, 10(9): 19-26.
- [59] Yang X, Yu J, Zhao X, et al. NTF-improved Delta-Sigma modulation supported 65536 QAM signal for mobile front haul [J]. Journal of Lightwave Technology, 2024, 42(2): 513-522.
- [60] Barzegar R, Miari H. Extended noise shaping of cross-coupled Sigma-Delta modulator using optimized coefficients[J]. Analog Integrated Circuits and Signal Processing, 2023, 115(2): 211-218.
- [61] Konstantinos T, Paul P S. Magnitude-only modeling for sigma-delta modulator characterization [J]. AEU-international Journal of Electronics and Communications, 2019, 112: 152936.
- [62] José M, de la Rosa. Automated design of sigma-delta converters: from know-how to AI-assisted optimization[C]//IEEE 65th International Midwest Symposium on Circuits and Systems. Fukuoka: IEEE, 2022: 9859425.

- [63] José M, de la Rosa. AI-assisted sigma-delta converters: application to cognitive radio[J]. IEEE Transactions on Circuits and Systems- II : Express Briefs, 2022, 69(6) : 2557-2561.
- [64] Pablo D, José M. High-level design of Sigma-Delta modulators using artificial neural networks [C]//2023 IEEE International Symposium on Circuits and Systems (ISCAS). Monterey: IEEE, 2023;10181744.
- [65] Tan D, Yang Z, Zhong L, et al. A novel structure optimizer based on heuristic search for Delta-Sigma modulator in mobile front haul [J]. IEEE Photonics Technology Letters, 2022, 34 (21) : 1131-1134.
- [66] Zhang J X, Feng P, Ran M Y, et al. GA-based IR nonlinear optical materials: synthesis, structures, and properties[J]. Coordination Chemistry Reviews, 2024, 502 : 215617.
- [67] Wagner J, Mokhtar M A, Ortmanns M. Automated design of Sigma-Delta modulators with FIR feedback [C]//2022 IEEE International Symposium on Circuits and Systems (ISCAS). Austin: IEEE, 2022 : 9937222.
- [68] Kaesser P, Kaltenstadler S, Conrad J, et al. Stability prediction of $\Delta\Sigma$ modulators using artificial neural networks [C]//2024 IEEE International Symposium on Circuits and Systems (ISCAS). Singapore: IEEE, 2024 : 19-22.
- [69] Lu J, Lei L, Yang F, et al. Automated compensation scheme design for operational amplifier *via* Bayesian optimization [C]//2021 58th ACM/IEEE Design Automation Conference (DAC). San Francisco: IEEE, 2021 : 517-522.
- [70] Lu J, Li Y, Yang F, et al. High-level topology synthesis method for $\Delta\Sigma$ modulators *via* bi-level Bayesian optimization [J]. IEEE Transactions on Circuits and Systems II : Express Briefs, 2023, 70(12) : 4389-4393.